

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.


Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

VARIABLE DELAY CIRCUIT

Patent Number: JP6152343
Publication date: 1994-05-31
Inventor(s): MURATA KOICHI; others: 01
Applicant(s): NIPPON TELEGR & TELEPH CORP
Requested Patent:  JP6152343
Application Number: JP19920292383 19921030
Priority Number(s):
IPC Classification: H03K5/13
EC Classification:
Equivalents:

Abstract

PURPOSE:To provide a variable delay circuit having a simple constitution and capable of attaining delay time resolution higher than the delay time of a reference delay circuit by a digital signal.

CONSTITUTION:The variable delay circuit is provided with N delay circuits A to N ($N \geq 2$) each of which has a differential pair including a pair of transistors (TRs), the circuits A to N respectively have section means XS1 to XSN capable of individually selecting the circuits A to N and mutually share loads R1, R2, a current source TR XT1, delayed signal input terminals DinT, DinC, and delayed signal output terminals DoT, DoC and differential pairs in at least (N-1) delay circuits out of N delay circuits are provided with delay means characterized so as to mutually differentiate their delay time values. When it is defined that a difference between the delay time values of optional two delay circuits out of N delay circuits is DELTAT and the delay time of the delay circuit having the shortest delay time is TK, $DELTAT \leq TK$ is set up.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-152343

(43)公開日 平成6年 (1994) 5月31日

(51)Int. Cl.⁵

H 0 3 K 5/13

識別記号

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 3 (全 13 頁)

(21)出願番号 特願平4-292383

(22)出願日 平成4年 (1992) 10月30日

(71)出願人 000004226

日本電信電話株式会社
東京都千代田区内幸町一丁目1番6号

(72)発明者 村田 浩一

東京都千代田区内幸町一丁目1番6号 日本
電信電話株式会社内

(72)発明者 大畑 正信

東京都千代田区内幸町一丁目1番6号 日本
電信電話株式会社内

(74)代理人 弁理士 中村 純之助

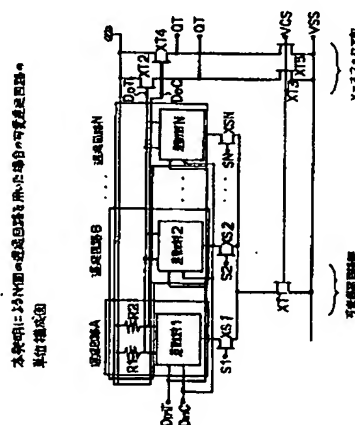
(54)【発明の名称】 可変遅延回路

(57)【要約】

【目的】 簡単な構成でデジタル信号により基本遅延回路の遅延時間よりも高い遅延時間分解能を実現することができる可変遅延回路を提供する。

【構成】 トランジスタの対を含む差動対をそれぞれに有するN個 ($N \geq 2$) の遅延回路A～遅延回路Nを備え、該N個の遅延回路は、それぞれを個別に選択し得る選択手段XS1～XSNを有し、また、それぞれが負荷R1、R2と電流源トランジスタXT1と被遅延信号入力端子DinT、DinCおよび被遅延信号出力端子DoT、DoCを相互に共有し、上記N個のうち少なくとも(N-1)個の遅延回路の差動対は、当該遅延回路の遅延時間を相互に異なるよう特徴付ける遅延手段を備え、かつ、該遅延手段により、N個のうち任意の2つの遅延回路の遅延時間の差を ΔT 、遅延時間の最も小さい遅延回路の遅延時間を T_i とすると、 ΔT は T_i より小さいこととする。

図1



【特許請求の範囲】

【請求項1】電源の両端子の間に、複数の負荷と、該負荷に対応するトランジスタの対を含む差動対と、上記トランジスタに定電流を流す電流源トランジスタを含む直列構成を有し、上記差動対のトランジスタに入出力する被遅延信号入出力端子を有する遅延回路の複数個で構成されるデジタル可変遅延回路において、

N個 ($N \geq 2$) の遅延回路を備え、該N個の遅延回路は、それぞれを個別に選択し得る選択手段を有し、また、それぞれが負荷と電流源トランジスタと被遅延信号入力端子および被遅延信号出力端子を相互に共有し、さらに、

上記N個のうち少なくとも ($N-1$) 個の遅延回路の差動対は、当該遅延回路の遅延時間を相互に異なるよう特徴付ける遅延手段を備え、かつ、

該遅延手段により、N個のうち任意の2つの遅延回路の遅延時間の差を ΔT 、遅延時間の最も小さい遅延回路の遅延時間を T_1 とすると、

$$\Delta T < T_1$$

とする関係を備えることを特徴とする可変遅延回路。

【請求項2】請求項1記載のN個の遅延回路から成る上記可変遅延回路を単位構成として、該単位構成の複数単位間の被遅延信号入出力端子を信号の流れに対して直列に相互接続する構成を特徴とする可変遅延回路。

【請求項3】請求項1または請求項2に記載の可変遅延回路において、上記の差動対が有する遅延手段は、次の(1)または(2)の少なくとも1つの構成を備えるものであることを特徴とする可変遅延回路。

(1) 差動対のトランジスタの制御電極以外の何れかの電極にトランジスタと直列に抵抗を接続し、その抵抗値を選択し設定した構造、(2) 差動対のトランジスタのトランジスタサイズを選択し設定した構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路装置における可変遅延回路に係り、特に信号を入力してから出力するまでの遅延時間をデジタル信号で高い分解能で制御する可変遅延回路に関する。

【0002】

【従来の技術】図9は従来の可変遅延回路の基本構成を示すブロック図である。同図において、可変遅延回路は被遅延信号が入力される入力端子IN、遅延の単位となる複数の遅延回路(1~4)、選択信号入力端子S1、S2を有し、この選択信号の組合せにより遅延時間を選択する選択回路、および遅延信号出力端子OUTにより構成される。被遅延信号の通過する遅延回路の段数を選択回路により選択することにより所望の遅延時間だけ遅れた信号が出力端子OUTに出力される。ここで、各遅延回路(1~4)の遅延時間を等しく T_0 とし、選択回路の遅延時間を T_1 とする。選択回路において端子D1

~D4のいずれかに入力された信号を選択すると、入力端子から出力端子までの遅延時間は各々 $T_1 + T_0$ 、 $T_1 + 2T_0$ 、 $T_1 + 3T_0$ 、 $T_1 + 4T_0$ となり、遅延時間の最小刻みである遅延時間分解能は各遅延回路の遅延時間 T_0 となる。したがって、可変遅延回路の分解能を上げるためには各遅延回路の遅延時間の短縮つまり遅延回路の高速化が不可欠となる。

【0003】図10は従来の単位遅延回路の一例を示す回路図である。回路構成はGaAsMES-FETを用いた低電力ソース結合FET論理回路(Low-Power Source Coupled FET Logic) (LSCFL)であり、両相信号(極性が反対である真信号と補信号)で動作する回路である。回路はスイッチングトランジスタXT1、XT2、電流源トランジスタXT3および負荷抵抗R1、R2により構成される差動回路によりなるスイッチ部と、差動回路の出力端子であるトランジスタXT1、XT2のドレイン端子にゲートが接続されたドレイン接地のトランジスタXT4、XT6および電流源トランジスタXT5、XT7により構成されるソースフォロア回路からなるソースフォロア部により構成される。真信号入力端子DTにハイレベルが入力されると、トランジスタXT1はオン状態となり抵抗R1に電流が流れる。一方、このとき補信号入力端子DCにはローレベルが入力されておりトランジスタXT2はオフ状態であるため抵抗R2には電流が流れない。従って、ソースフォロア部を介して出力される信号は真信号出力端子QTにはハイレベル、補信号出力端子QCにはローレベルが出力される。入力端子DT、DCに入力された信号(両相信号)が出力端子QT、QCに出力されるまでの時間が上記の遅延時間 T_0 に相当する。

【0004】

【発明が解決しようとする課題】従来技術において遅延時間分解能は各遅延回路の遅延時間 T_0 で決まる。したがって、可変遅延回路の分解能を上げるためには遅延回路の高速化が不可欠となる。しかしながら、図10に示すような遅延回路の高速化にはトランジスタ性能上および回路構成上の限界が存在する。遅延時間 T_0 を調整する従来技術の一つとして図10に示す電流源トランジスタのバイアス電圧 V_{cs} をアナログ的に調整することにより高分解能を得る方法が知られている。しかしながらこの方法を用いた場合、レベル変換とバイアス電圧の高精度制御が必要であるため、直接デジタル信号で制御するのは困難であり、デジタル-アナログ変換回路を具備する必要がある設計が困難であった。本発明はこのような点に鑑みてなされたものであり、簡単な構成でデジタル信号により基本遅延回路の遅延時間よりも高い遅延時間分解能を実現することができる可変遅延回路を提供することを目的とする。

【0005】

【課題を解決するための手段】上記の目的を達成するた

め、本発明の可変遅延回路では、例えば図1に示すように、トランジスタの対を含む差動対1、差動対2、……差動対Nをそれぞれ有するN個 ($N \geq 2$) の遅延回路A、遅延回路B、……遅延回路Nを備え、該N個の遅延回路は、それぞれを個別に選択し得る選択手段XS1、XS2、……XSNを有し、また、それぞれが負荷R1、R2と電流源トランジスタXT1と被遅延信号入力端子DinT、DinCおよび被遅延信号出力端子DoT、DoCを相互に共有し、さらに、上記N個のうち少なくとも ($N-1$) 個の遅延回路の差動対は、当該遅延回路の遅延時間を相互に異なるよう特徴付ける遅延手段を備え、かつ、該遅延手段により、N個のうち任意の2つの遅延回路の遅延時間の差を ΔT 、遅延時間の最も小さい遅延回路の遅延時間を T_i とすると、 $\Delta T < T_i$ とする関係を備えることとする。

【0006】あるいは、このようなN個の遅延回路から成る上記可変遅延回路を単位構成として、例えば図4に示すように、該単位構成の複数単位間の被遅延信号入出力端子を信号の流れに対して直列に相互接続するようにしてもよい。

【0007】これらの可変遅延回路において、上記の差動対が有する遅延手段としては、次の(1)または(2)の少なくとも1つの構造を備えるようにすればよい。すなわち、(1)例えば図6または図7に示す抵抗R3またはR4のように、差動対のトランジスタの制御電極以外の何れかの電極にトランジスタと直列に抵抗を接続し、その抵抗値を選択し設定した構造とすること、または(2)例えば図8に示すように、差動対回路内の差動対トランジスタのトランジスタサイズを選択し設定した構造とすること。

【0008】

【作用】トランジスタの対を含む差動対をそれぞれ有するN個の遅延回路が、負荷、電流源トランジスタ、および被遅延信号の入出力端子を上記のように共有するよう構成し、かつ、それぞれの遅延回路を任意に個別に選択し得るようにすることにより、デジタル的な両相信号が入力すると、N個のうちの任意に選択された何れか1つの遅延回路による遅延を介してデジタル的な両相信号を得ることが可能になる。その際、N個のうち任意の2つの遅延時間の差の ΔT を、遅延時間の最も小さい遅延回路の遅延時間 T_i より小さくすることにより、N個の遅延回路を任意に順次切り替えた場合の遅延時間の分解能として ΔT のものが得られるようになる。したがって遅延時間差 ΔT が相互に小さいN個の遅延回路を設けることにより高分解能の可変遅延回路を実現することが可能になる。

【0009】N個の遅延回路から成る上記可変遅延回路を単位構成として、該単位構成の複数を信号の流れに対して直列に相互接続するようにすれば、高分解能でしか

も可変範囲の大きな可変遅延回路が得られるようになる。

【0010】遅延手段による遅延時間差は、上記のように差動対のトランジスタの回路に抵抗を挿入してその抵抗値に異なる値のものをを用いたり、差動対トランジスタにトランジスタサイズが異なるものをを用いたりすることにより得られる。その詳細は後述の中で説明するが、例えば図6または図7の遅延回路Aの差動対FETトランジスタのドレインまたはソース電極に抵抗を接続した回路では、このような抵抗のない遅延回路Bの場合より遅延時間が大きくなる。また図8の場合は、遅延回路Bのゲート幅は遅延回路Aのゲート幅より大きくした場合であるが、これにより遅延回路Bの遅延時間は遅延回路Aのそれより大きくなる。何れの場合もこのような遅延手段を用いることにより小さい遅延量の変化が得られるので、これを利用して高分解能の可変遅延回路の単位構成に使用することが可能になる。

【0011】N個の差動対のうち1個については上記の遅延手段を設けず、すなわち従来の単位遅延回路を含むような本発明の可変遅延回路の単位構成を複数個直列に接続した構成によれば、従来技術と本発明の技術を混在させることにより、可変遅延量の粗調と微調も容易に可能になるなど、新しい効果も得られるようになる。

【0012】

【実施例】図1は本発明によるN個の遅延回路を用いた場合の可変遅延回路の単位構成を示すものである。その可変遅延回路部を主体に説明する。各遅延回路の遅延回路A、遅延回路B、……遅延回路Nにはそれぞれトランジスタの対回路から成る差動対1、差動対2、……差動対Nを有し、各差動対は共通の被遅延信号入力端子DinT、DinCおよび共通の被遅延信号出力端子DoT、DoCを有する。共通の被遅延信号出力端子からは、一方では共通の負荷抵抗R1、R2を介して電源の一方に接続され、また他方では所要の電圧レベルを得るためのソースフォロア部に接続される。またさらに各差動対は遅延回路選択用のトランジスタXS1、XS2、……XSNを介して共通の電流源トランジスタXT1に接続され、その他端は電源の他方に接続される。遅延回路選択用トランジスタの入力信号端子S1、S2、……SNの任意の端子に選択信号が入力されると当該の選択回路のみが選択的に動作し、電流源トランジスタを介して一定電流が電源端子間に流れ、被遅延信号入力に対して当該差動対特有の遅延時間の遅れを生じて被遅延信号出力を発生する。差動対の構成、動作等は後述の中で逐次明らかにする。

【0013】図2は本発明による可変遅延回路の単位構成を示した図である。回路は差動対Aと抵抗R1、R2から成る遅延回路Aおよび、差動対Bと同じく抵抗R1、R2 (抵抗R1とR2は遅延回路A、Bに共通) により遅延時間が遅延回路Aと異なる遅延回路Bおよ

び、両差動対の共通ソースにドレインが接続された遅延回路選択トランジスタXT1、XT2および、電流源トランジスタXT3から構成される可変遅延回路部と、次段の駆動能力を高めて所用の電圧レベルを実現するソースフォロア部で構成される。入力端子DinTおよびDinCから入力された被遅延信号は遅延回路Aおよび遅延回路Bに入力される。選択信号端子STがハイレベルの場合トランジスタXT1がオン状態となり遅延回路Aに電流パスが形成され、遅延回路Aは動作状態になる。このとき、出力端子QTおよびQCに出力される信号は被遅延信号が入力されてから遅延回路Aでの遅延時間Ta後に出力される。一方、選択信号端子SCがハイレベルの場合トランジスタXT2がオン状態となり遅延回路Bに電流パスが形成され、遅延回路Bは動作状態になる。このとき、出力端子QTおよびQCに出力される信号は被遅延信号が入力されてから遅延回路Bでの遅延時間Tb後に出力される。このような回路構成により、選択信号をデジタル信号で制御することにより2通りの遅延時間を実現することができる。

【0014】図3は図2に示した可変遅延回路の単位構成を一つのブロックで表した図である。可変遅延回路の単位ブロックは被遅延信号入力端子Din、選択信号入力端子S、出力信号端子Qを有している。なお、図3のブロック図では入出力信号端子は両相信号をまとめて一つの端子として示している。

【0015】図4は可変遅延回路の単位構成を複数個組み合わせ構成した可変遅延回路例である。回路は直列に接続された可変遅延回路の単位構成A、単位構成B、単位構成Cと、所望の遅延時間を実現するための選択信号Sa、Sb、Scを発生するためのデコーダ回路により構成される。従来例と同様に遅延時間分解能について考察する。今、各単位構成の発生可能な二つの遅延時間をそれぞれ T_0 と $T_0 + \Delta T$ とすると、被遅延信号が入力端子INから入力され出力端子OUTに出力されるまでに時間としては $3T_0$ 、 $3T_0 + \Delta T$ 、 $3T_0 + 2\Delta T$ 、 $3T_0 + 3\Delta T$ の4通りがある。ここで、 ΔT を T_0 以下に設定することにより遅延分解能は従来構成よりも高分解能となる。従来、遅延時間 T_0 を小さくすることはデバイス性能上あるいは回路構成上困難であったが本発明によれば二つの遅延回路の遅延時間の差が遅延時間の分解能を決定するために高分解能化が容易に達成できる。

【0016】図5は図4に示した本発明による可変遅延回路の回路図例である。本構成ではデコーダ回路をAND回路、バッファ回路、OR回路により構成している。上述の実施例では単位構成の発生可能な遅延時間が T_0 と $T_0 + \Delta T$ で全ての単位構成において同一であると仮定したが、原理的には各単位構成回路は2通りの遅延時間を発生させることができる。このためn個の単位構成回路を通過してきた被遅延信号は選択信号の組合せにより、2のn乗通りの遅延時間を実現することも可能であ

る。

【0017】次に、 T_0 以下の微小遅延時間差を発生させる具体的な回路構成の例を以下の実施例に示す。

実施例1

図6は本発明による可変遅延回路の単位構成回路の第1の実施例を示す回路図である。回路は抵抗R1~R4およびトランジスタXT1、XT2により構成される差動遅延回路A、抵抗R1~R2（差動遅延回路Aに共通）およびトランジスタXT3、XT4により構成される差動遅延回路B、各々の共通ソースにドレインが接続された遅延回路選択用トランジスタXT5、XT6で構成されるトランジスタ対およびソースフォロア回路からなる。遅延回路Aでは負荷抵抗R1、R2と差動対トランジスタXT1、XT2の間に抵抗R3、R4が接続されている。このため、差動対トランジスタXT1、XT2のドレインとソース間電圧は抵抗R3、R4による電圧降下により、遅延回路Bの差動対トランジスタXT3、XT4のドレインとソース間電圧よりも小さくなる。それゆえ、差動対トランジスタXT1、XT2のゲートとドレイン間容量は差動対トランジスタXT3、XT4のゲートとドレイン間容量に比較して大きくなるため、遅延回路Aの遅延時間Taは遅延回路Bの遅延時間Tbに比較して大きくなる。回路シミュレーションによると遅延時間の差は遅延時間Tbより小さくでき、先に述べた $\Delta T < T_0$ の条件を満たすことが可能となる。

【0018】実施例2

図7は本発明による可変遅延回路の単位構成回路の第2の実施例を示す回路図である。回路は抵抗R1~R4およびトランジスタXT1、XT2により構成される差動遅延回路A、抵抗R1~R2（差動遅延回路Aに共通）およびトランジスタXT3、XT4により構成される差動遅延回路B、各々の共通ソースにドレインが接続された遅延回路選択用トランジスタXT5、XT6で構成されるトランジスタ対およびソースフォロア回路からなる。本実施例では抵抗R3、R4が遅延回路Aの差動対トランジスタXT1、XT2のソースに接続されている点が第1の実施例と異なっている。遅延回路Aでは抵抗R3、R4が差動対トランジスタXT1、XT2のソースに接続されているため電圧降下が生じ、ゲートとソース間電圧は遅延回路Bの差動対トランジスタXT3、XT4のゲートとソース間電圧よりも小さくなる。それゆえ、差動対トランジスタXT1、XT2のゲインが差動対トランジスタXT3、XT4のゲインに比較して小さくなるため、遅延回路Aの遅延時間Taは遅延回路Bの遅延時間Tbに比較して大きくなる。回路シミュレーションによると遅延時間の差は遅延時間Tbより小さくでき、先に述べた $\Delta T < T_0$ の条件を満たすことが可能となる。

【0019】実施例3

図8は本発明による可変遅延回路の単位構成回路の第3

の実施例を示す回路図である。回路は抵抗 $R1 \sim R2$ およびトランジスタ $XT1$ 、 $XT2$ により構成される差動遅延回路A、同じく抵抗 $R1 \sim R2$ およびトランジスタ $XT3$ 、 $XT4$ により構成される差動遅延回路B、各々の共通ソースにドレインが接続された遅延回路選択用トランジスタ $XT5$ 、 $XT6$ で構成されるトランジスタ対およびソースフォロア回路からなる。ここで、遅延回路Aの差動対トランジスタ $XT1$ 、 $XT2$ のゲート幅の値と遅延回路Bの差動対トランジスタ $XT3$ 、 $XT4$ のゲート幅は違う値を与えることとする。例として遅延回路Aの差動対トランジスタ $XT1$ 、 $XT2$ のゲート幅を $Wa \mu m$ 、遅延回路Bの差動対トランジスタ $XT3$ 、 $XT4$ のゲート幅を $Wb \mu m$ 、遅延回路選択用トランジスタ $XT5$ 、 $XT6$ および電流源トランジスタ $XT7$ のゲート幅を $Wc \mu m$ とし三つのゲート幅の間に $Wb > Wc > Wa$ なる関係を満たす場合を考える。各トランジスタ対の動作点は電流源トランジスタ $XT7$ の電流値により決定される。上記のようなゲート幅を設定した場合、ゲート幅当たりの電流値は遅延回路Aの方が遅延回路Bよりも大きくなり、遅延回路Aのトランジスタ対の方がより遮断周波数 f_t の高いバイアス点で動作することになる。この結果、遅延回路Aの遅延時間 Ta は遅延回路Bの遅延時間 Tb よりも短くなり両遅延回路の遅延時間に差が生じる。回路シミュレーションによると遅延時間の差は遅延時間 Ta および Tb より小さくでき、先に述べた $\Delta T < T_0$ の条件を満たすことが可能となる。

【0020】さて、上述した回路構成ではGaAs MESFETによるLSCFLを用いた回路構成について示したが、バイポーラトランジスタによるECL回路でも実現可能である。ただし、バイポーラトランジスタにおいて上記ゲート幅はエミッタ面積に対応する。また、本発明による可変遅延回路と、図9または図10に示した従来の可変遅延回路を直列に接続し、遅延時間の粗調整と微調整を全デジタル制御で行うように構成することも可能である。また、差動対に含む遅延手段の実施例として図6、図7、図8により、トランジスタに抵抗を接続した例、トランジスタサイズを変えた例を示したが、これらの抵抗値やサイズの大きさを変えるだけでなく、これらの手段を組み合わせてもよいことはいふまでもない。

【0021】

【発明の効果】以上述べてきたように本発明は、遅延回

路と選択回路を縦積み構成とし、抵抗器の接続および意図的なトランジスタサイズの設定によりトランジスタの動作条件を微小に変化させる回路構成を採用することにより、デジタル信号により微小な遅延時間分解能を実現することができる。

【図面の簡単な説明】

【図1】本発明によるN個の遅延回路を用いた場合の可変遅延回路の単位構成図。

【図2】本発明による可変遅延回路の単位構成図。

10 【図3】図2に示した可変遅延回路の単位構成を一つのブロックで表した図。

【図4】可変遅延回路の単位構成を複数個組み合わせて構成した可変遅延回路図。

【図5】図4に示した本発明による可変遅延回路の回路図例を示す図。

【図6】本発明による可変遅延回路の単位構成回路の第1の実施例図。

【図7】本発明による可変遅延回路の単位構成回路の第2の実施例図。

20 【図8】本発明による可変遅延回路の単位構成回路の第3の実施例図。

【図9】従来の可変遅延回路の基本構成を示すブロック図。

【図10】従来の単位遅延回路の一例図。

【符号の説明】

$XS1$ 、 $XS2$ 、 XSN 、 $XT5$ 、 $XT6$ …遅延回路選択トランジスタ

$S1$ 、 $S2$ 、 SN 、 ST 、 SC …遅延回路選択トランジスタ用信号入力端子

30 $XT1$ 、 $XT7$ …電流源トランジスタ

VCS …トランジスタの制御信号入力端子

$R1$ 、 $R2$ …負荷抵抗（各遅延回路に共通）

$R3$ 、 $R4$ …抵抗（遅延手段用）

$XT1$ 、 $XT2$ …トランジスタ（差動対用）

$XT3$ 、 $XT4$ …トランジスタ（差動対用を含む）

$XT33$ 、 $XT44$ …トランジスタ（差動対遅延手段用）

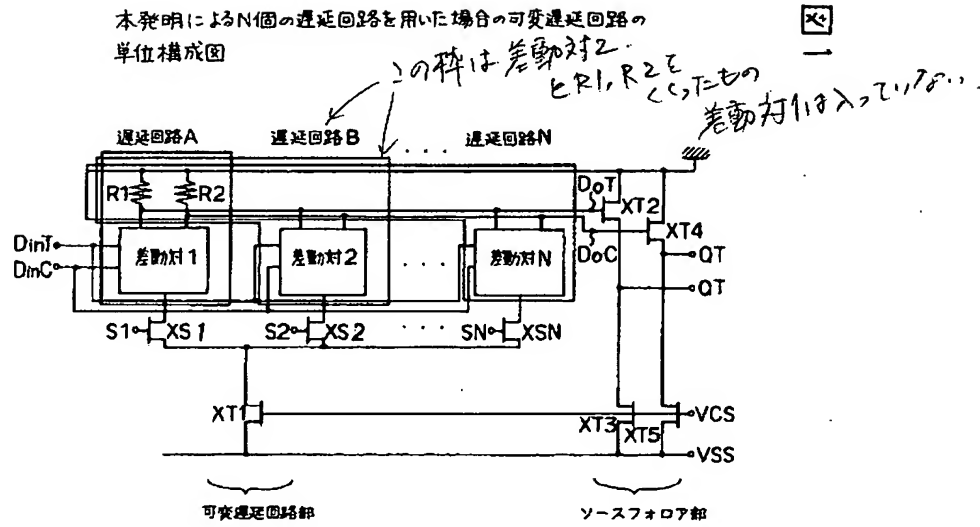
$DinT$ 、 $DinC$ …被遅延信号入力端子（入力端子）

DoT 、 DoC …被遅延信号出力端子（遅延回路出力端子）

40 QT 、 QC …出力端子

VSS …電源端子

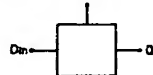
【図1】



【図3】

図3

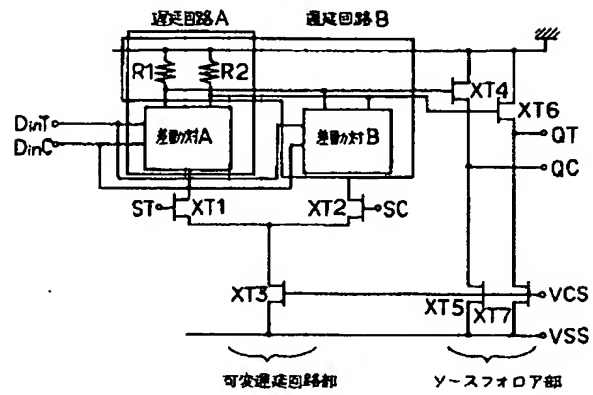
図2に示した可変遅延回路の単位構成図を一つのブロックとした図



【図2】

図 2

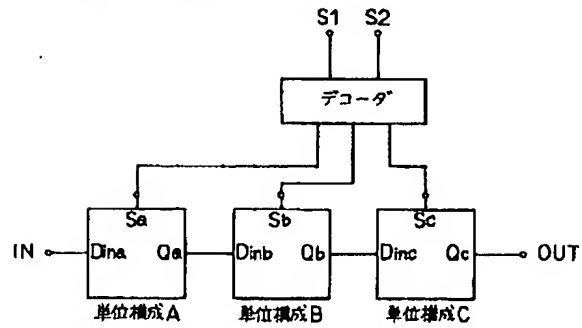
本発明による可変遅延回路の単位構成図



【図4】

図 4

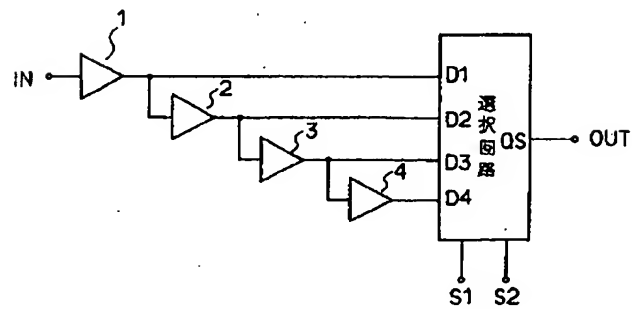
可変遅延回路の単位構成を複数個組み合わせて
構成した可変遅延回路図



【図9】

図 9

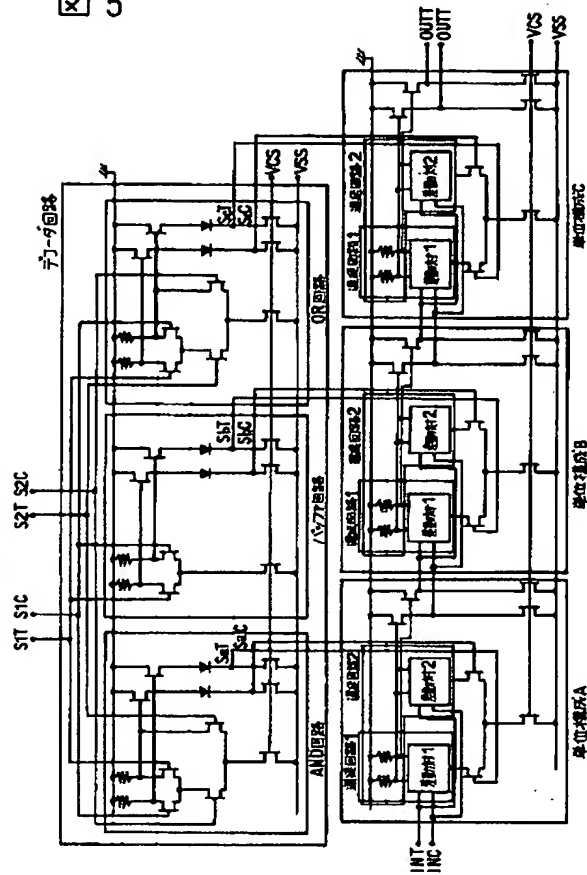
従来の可変遅延回路の基本構成を示すブロック図



【図5】

図 5

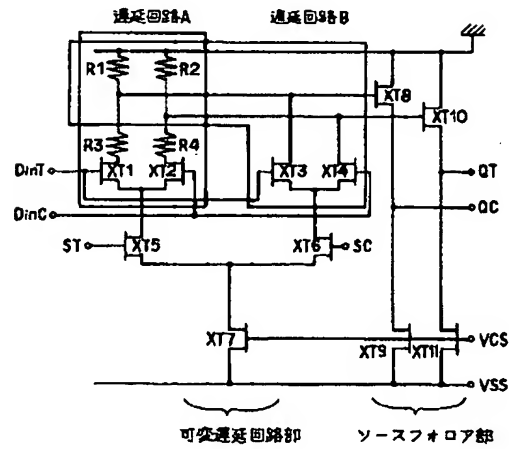
図4に示した本発明による可変遅延回路の回路図例を示す図
遅延回路遅延時間入力部



【図6】

図 6

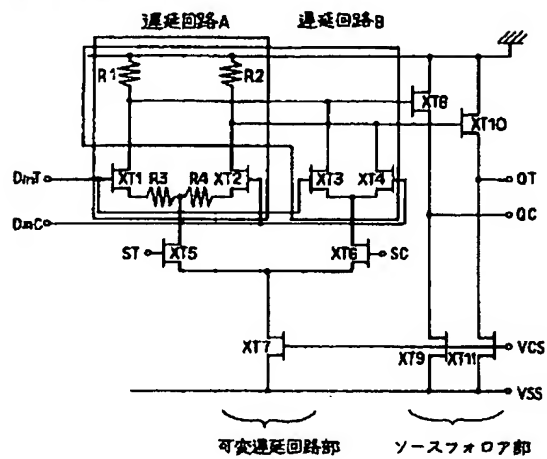
本発明による可変遅延回路の単位構成回路の
第1の実施例図



【图7】

图 7

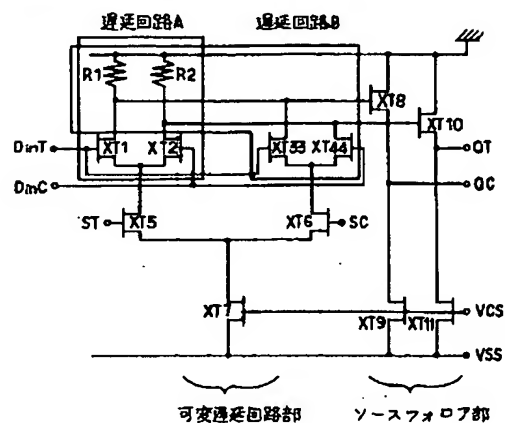
本発明による可変遅延回路の単位構成回路の
第2の実施例図



【図8】

図 8

本発明による可変遅延回路の単位構成回路の
第3の実施例図



【図10】

図10

従来の単位遅延回路の一例図

